

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261887

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁸

H 0 4 N 5/262

7/24

識別記号

F I

H 0 4 N 5/262

7/13

Z

審査請求 未請求 請求項の数18 O L (全 17 頁)

(21) 出願番号

特願平10-60110

(22) 出願日

平成10年(1998) 3月11日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 小杉 真人

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 蓮覚寺 秀行

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 弁理士 國分 孝悦

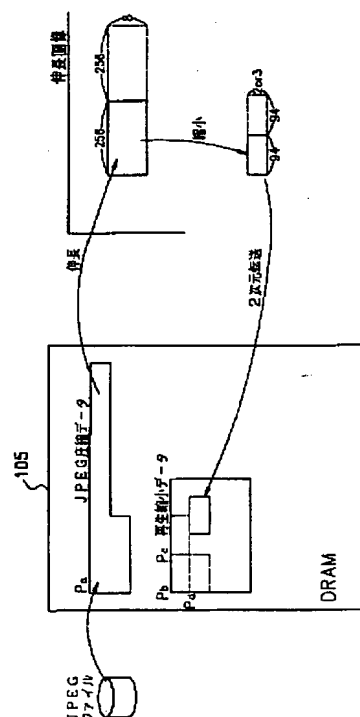
(54) 【発明の名称】 画像処理装置、画像処理方法及びコンピュータ読み取り可能な記憶媒体

(57) 【要約】

【課題】 任意の画像サイズの J P E G 圧縮データを D R A M を用いて伸張した後、ブロックラスタ変換して T V 表示する場合に、D R A M の容量を小さくする。

【解決手段】 D R A M 内に蓄積された J P E G 圧縮データを伸張回路で伸張し、伸張したデータを水平方向に分割してラスタ走査順次に変換し、256×8画素の矩形データを作成する。次にこの矩形データを94×2

(又は3)の矩形データに縮小し、この縮小した矩形データを順次に連続してD R A M 内の連続する矩形領域に順次に蓄積していく。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 ブロック単位で入力される画像データをラスタ走査順次に変換する変換手段と、
上記変換された画像データを水平方向及び垂直方向に変倍する変倍手段とを設けたことを特徴とする画像処理装置。

【請求項2】 圧縮画像データをブロック単位に伸張する伸張手段と、
上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換手段と、
上記矩形データを水平、垂直方向に変倍する変倍手段と、
上記変倍された矩形データを蓄積する蓄積手段とを備えた画像処理装置。

【請求項3】 上記変倍されて順次に得られる矩形データを上記蓄積手段の連続する矩形領域に順次に転送する制御手段を設けたことを特徴とする請求項2記載の画像処理装置。

【請求項4】 上記変換手段から出力される矩形データの水平方向のピクセル数を a 、上記圧縮画像データのMCUの水平方向のピクセル数を b 、上記変倍手段における水平方向の変倍比率を d/c とすると、 a が b と c の最小公倍数の整数倍になるように制御することを特徴とする請求項2記載の画像処理装置。

【請求項5】 上記変換手段から出力される矩形データの水平方向のピクセル数を a 、上記変倍手段における水平方向の変倍比率を d/c とすると、 d/c を d'/a で近似して変倍することを特徴とする請求項2記載の画像処理装置。

【請求項6】 圧縮画像データをブロック単位に伸張する伸張手段と、
上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換手段と、
上記矩形データを水平方向に変倍する第1の変倍手段と、
上記変倍された矩形データを蓄積する蓄積手段と、
上記蓄積手段から転送された上記変倍された矩形データを水平、垂直方向に変倍して上記蓄積手段に転送する第2の変倍手段とを備えた画像処理装置。

【請求項7】 上記第1の変倍手段で変倍されて順次に得られる矩形データを上記蓄積手段の連続する矩形領域に順次に転送すると共に、その連続する複数の矩形データを新たな矩形データとして上記第2の変倍手段に転送する制御手段を設けたことを特徴とする請求項6記載の画像処理装置。

【請求項8】 上記変換手段の出力と上記蓄積手段の出力との一方を選択して上記第2の変倍手段に転送する選択手段と、上記変換手段の出力が選択されたときは、その出力に対して上記第2の変倍手段により垂直方向の変倍、水平方向の変倍の順で行わせ、上記蓄積手段の出力

が選択されたときはその出力に対して上記と逆の順による変倍を行わせる制御手段とを設けたことを特徴とする請求項6記載の画像処理装置。

【請求項9】 上記変倍により画像を拡大するときは上記選択手段により変換手段を選択することを特徴とする請求項8記載の画像処理装置。

【請求項10】 上記変換手段から出力される矩形データの水平方向のピクセル数を a 、圧縮データのMCUの水平方向のピクセル数を b 、上記第1の変倍手段における変倍比率を d/c とすると、 a が b と c の最小公倍数の整数倍になるように制御することを特徴とする請求項6記載の画像処理装置。

【請求項11】 上記変倍が画像の縮小であることを特徴とする請求項1、2又は6記載の画像処理装置。

【請求項12】 上記変倍が画像の拡大であることを特徴とする請求項1、2又は6記載の画像処理装置。

【請求項13】 ブロック単位で入力される画像データをラスタ走査順次に変換する処理と、
上記変換された画像データを水平方向及び垂直方向に変倍する処理とを実行するためのプログラムを記憶したコンピュータ読み取り可能な記憶媒体。

【請求項14】 圧縮画像データをブロック単位に伸張する伸張処理と、
上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換処理と、
上記矩形データを水平、垂直方向に変倍する変倍処理と、
上記変倍された矩形データを蓄積する蓄積処理とを実行するためのプログラムを記憶したコンピュータ読み取り可能な記憶媒体。

【請求項15】 圧縮画像データをブロック単位に伸張する伸張処理と、
上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換処理と、
上記矩形データを水平、垂直方向に変倍する第1の変倍処理と、
上記変倍された矩形データを蓄積手段に蓄積する蓄積処理と、

上記蓄積手段から転送された上記変倍された矩形データを水平、垂直方向に変倍して上記蓄積手段に転送する第2の変倍処理とを実行するためのプログラムを記憶したコンピュータ読み取り可能な記憶媒体。

【請求項16】 ブロック単位で入力される画像データをラスタ走査順次に変換するステップと、
上記変換された画像データを水平方向及び垂直方向に変倍するステップとを有することを特徴とする画像処理方法。

【請求項17】 圧縮画像データをブロック単位に伸張する伸張ステップと、
上記伸張された画像データを水平方向に分割してラスタ

走査順次に変換し矩形データを出力する変換ステップと、
上記矩形データを水平、垂直方向に変倍する変倍ステップと、
上記変倍された矩形データを蓄積する蓄積ステップとを有することを特徴とする画像処理方法。

【請求項18】 圧縮画像データをブロック単位に伸張する伸張ステップと、
上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換ステップと、
上記矩形データを水平、垂直方向に変倍する第1の変倍ステップと、
上記変倍された矩形データを蓄積手段に蓄積する蓄積ステップと、
上記蓄積手段から転送された上記変倍された矩形データを水平、垂直方向に変倍して上記蓄積手段に転送する第2の変倍ステップとを有することを特徴とする画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像信号の記録再生処理装置で用いられ圧縮画像データの伸張再生処理を行う場合に用いて好適な画像処理装置、画像処理方法及びコンピュータ読み取り可能な記録媒体に関するものである。

【0002】

【従来の技術】デジタル画像の圧縮には、JPEG (Joint Photographic Expert Group) などのDCT (Discrete Cosine Transform) を利用してブロック単位で圧縮する方式が一般的に行われている。DCTで圧縮したデータを伸張して表示する場合は、伸張データに対してブロック→ラスタ変換を行う必要がある。ブロックラスタ変換を行うためには、最低でも画像データの水平ピクセル数を H_a とすると $H_a \times 8$ (ライン) ワード分の変換用メモリを必要とする。従って、変換用メモリが大きさが伸張可能な画像データサイズを制限していたが、変換用メモリの大きさに依存せずに任意の画素サイズの伸張を行う方法が提案されている。

【0003】図20は、任意の画素サイズの伸張を行う従来の伸張装置の例である。同図において、2001はメモ리카ード等の記録媒体、2002は記録媒体2001のためのインタフェース (I/F) 回路、2003はJPEGデータをブロック単位で伸張する伸張回路、2004は伸張データをブロック→ラスタ変換するブロックラスタ変換回路、2005は $H_a \times 8$ ワードの大きさを持つブロックラスタ変換用のバッファメモリ、2007は伸張した画像データを蓄積するDRAM、2006は、DRAM2006を制御するコントローラである。

【0004】記録媒体2001に蓄積されたJPEGデータを再生する場合、まずI/F回路2002を通して読み出された圧縮データは伸張回路2003によって伸張され、ブロック順の伸張画像データとなる。伸張画像データは、ブロックラスタ変換回路2004によってバッファメモリ2005にブロック順で書き込まれ、ラスタ順で読み出されることによって、ラスタ画像データに変換され、メモリコントローラ2006を通してDRAM2007に蓄積される。

【0005】図21は、 H_p が H_a より大きい場合のDRAM2007上での処理の概念を表す図である。例えば、 $H_p = 1024$ 、 $H_a = 640$ の場合、従来では、図21に示すように画像データを640ピクセル×8ライン、384ピクセル×8ラインの領域に分割して伸張処理を行う。すなわち、伸張回路2003によって640×8ライン分のMCU (Minimum Code Unit) の画像データが伸張され、ブロックラスタ変換回路2004によってバッファメモリ2005に書き込まれたならば、ブロックラスタ変換を行い、DRAMコントローラ2006によって図21のポインタP1から640ピクセル×8ラインのラスタ画像データをラスタ1の領域に書き込み、次の384×8ライン分の画像データが伸張され、バッファメモリ2005に書き込まれたならば、ブロックラスタ変換を行い、DRAMコントローラ2006によって図21のポインタP2から384ピクセル×8ラインのラスタ画像データをラスタ2の領域に書き込む。以降同様にラスタ3、ラスタ4、ラスタ5...と順次処理することによってバッファメモリ2005の大きさに依存せずに任意の画素サイズの伸張を行うことができる。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来例では、デジタルカメラ等で生成される可能性のある非正方面素の画像データを正方面素へ変換するための考慮がなされていない。また、伸張された画像をTV等に表示するためには、760×490ピクセル程度に画像データを縮小、拡大する処理が必要となるが、そのための考慮がなされていない。すなわち従来例では、例えば1024×768ピクセルに伸張したときのデータ量は、YUV422フォーマットとして1024×768×2×8=12582912 (bit)、2048×1536ピクセルでは、50331648 (bit)となり、表示のために必要とされるデータ量、約4Mbitと比較してあまりにも大きなメモリ (DRAM) 及び多くのDRAMアクセスを必要とし、処理速度、消費電力およびコストの面から効率が悪いという問題があった。

【0007】本発明は、以上の問題に鑑みてなされたもので、任意の画像サイズのJPEG圧縮画像データをより少ないメモリを用いて高速に、伸張し、変倍して再生することができるようにすることを目的とする。

【0008】

【課題を解決するための手段】本発明による画像処理装置においては、ブロック単位で入力される画像データをラスタ走査順次に変換する変換手段と、上記変換された画像データを水平方向及び垂直方向に変倍する変倍手段とを設けている。

【0009】本発明による他の画像処理装置においては、圧縮画像データをブロック単位に伸張する伸張手段と、上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換手段と、上記矩形データを水平、垂直方向に変倍する変倍手段と、上記変倍された矩形データを蓄積する蓄積手段とを設けている。

【0010】本発明による他の画像処理装置においては、圧縮画像データをブロック単位に伸張する伸張手段と、上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換手段。上記矩形データを水平方向に変倍する第1の変換手段と、上記変倍された矩形データを蓄積する蓄積手段と、上記蓄積手段から転送された上記変倍された矩形データを水平、垂直方向に変倍して上記蓄積手段に転送する第2の変倍手段とを設けている。

【0011】本発明による記憶媒体においては、ブロック単位で入力される画像データをラスタ走査順次に変換する処理と、上記変換された画像データを水平方向及び垂直方向に変倍する処理とを実行するためのプログラムを記憶している。

【0012】本発明による他の記憶媒体においては、圧縮画像データをブロック単位に伸張する伸張処理と、上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換処理と、上記矩形データを水平、垂直方向に変倍する変倍処理と、上記変倍された矩形データを蓄積する蓄積処理とを実行するためのプログラムを記憶している。

【0013】本発明による他の記憶媒体においては、圧縮画像データをブロック単位に伸張する伸張処理と、上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換処理と、上記矩形データを水平、垂直方向に変倍する第1の変倍処理と、上記変倍された矩形データを蓄積手段に蓄積する蓄積処理と、上記蓄積手段から転送された上記変倍された矩形データを水平、垂直方向に変倍して上記蓄積手段に転送する第2の変倍処理とを実行するためのプログラムを記憶している。

【0014】本発明による画像処理方法においては、ブロック単位で入力される画像データをラスタ走査順次に変換するステップと、上記変換された画像データを水平方向及び垂直方向に変倍するステップとを有している。

【0015】本発明による他の画像処理方法においては、圧縮画像データをブロック単位に伸張する伸張ス

テップと、上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換ステップと、上記矩形データを水平、垂直方向に変倍する変倍ステップと、上記変倍された矩形データを蓄積する蓄積ステップとを有している。

【0016】本発明による他の画像処理方法においては、圧縮画像データをブロック単位に伸張する伸張ステップと、上記伸張された画像データを水平方向に分割してラスタ走査順次に変換し矩形データを出力する変換ステップと、上記矩形データを水平、垂直方向に変倍する第1の変倍ステップと、上記変倍された矩形データを蓄積手段に蓄積する蓄積ステップと、上記蓄積手段から転送された上記変倍された矩形データを水平、垂直方向に変倍して上記蓄積手段に転送する第2の変倍ステップとを有している。

【0017】

【発明の実施の形態】図1は、本発明の第1の実施の形態を示す。図1において、101はシステム全体をコントロールするCPU (Central Processor Unit)、102はCPU101のためのインタフェース回路、103はメモ리카ード等の記録媒体、104は記録媒体103のためのインタフェース回路、105は、画像データを記憶するためのDRAM、106はシステムのシーケンシャルな制御やバスアービトレーション等のコントロールを司るシステムコントローラ、108はJPEGデータをブロック単位で伸張する公知の伸張回路である。

【0018】107はDRAM105上のデータを伸張回路108へ転送するためのダイレクトメモリアクセスコントローラ (以下DMAC)、109は伸張回路108によって伸張されたブロックスキンの画像データをラスタスキャン画像データに変換するためのブロックラスタ変換回路、110はブロックラスタ変換用のバッファメモリで、Ha×8ワードの容量を持つ。従ってブロックラスタ変換回路109は、水平ピクセルHaまでのブロックスキャンデータを一度にラスタデータに変換することができる。111は線形補間等によって水平方向に縮小を行う変倍手段を構成する水平縮小回路であり、内部構成等は後述する。113は線形補間等によって垂直方向に縮小を行う変倍手段を構成する垂直縮小回路であり、内部構成等は後述する。

【0019】114は垂直縮小回路113のためのバッファメモリであり、Hbワードの容量、すなわち水平Hbピクセル1ライン分のディレイラインとなる。112は垂直縮小回路113の出力をDRAM105に2次元的にDMA転送するためのDMACであり、動作等は後述する。115はDRAM105上の画像データを再生回路116に転送するためのDMACであり、これも2次元DMACである。116は画像データに対して変調、同期信号の付加、DA変換等をしてビデオ信号を生

成する再生回路である。

【0020】100は本発明による記憶媒体を構成するROMであり、CPU101の後述する図4、6、7、9のフローチャートを含む処理を実行するためのプログラムを記憶する。この記憶媒体としては、半導体メモリ、光ディスク、光磁気ディスク、磁気媒体等を用いてよい。

【0021】図2は、水平縮小回路111の詳細図である。図2において、201、202はフリップフロップ（以下FF）であり、シフトレジスタを構成する。203は線形補間回路であり、入力Pは上記シフトレジスタでラッチされ、 P_i 、 P_{i+1} が得られる。 P_i 、 P_{i+1} は線形補間回路203に inputs され、縮小出力 Q_j を得る。

$$Q_j = (P_{i+1} - P_i) \times k + P_i \quad \dots\dots\dots (1)$$

を行う。これは、

$$Q_j = P_{i+1} \times k + P_i \times (1 - k) \quad \dots\dots\dots (2)$$

と展開され、線形補間そのものであり、 $i=0$ 、 $j=0$ 、 $k=0$ では、 $Q_0=P_0$ となる。

【0024】その後、ステップS404で、出力画素カウンタjがインクリメントされ、入力画素カウンタiに

$$Q_1 = P_3 \times 1/3 + P_2 \times 2/3 \quad \dots\dots\dots (3)$$

となる。

【0025】そして次のステップS404で同様にし、 $i=4$ 、 $j=2$ 、 $k=2/3$ となり、ステップS4

$$Q_2 = P_5 \times 2/3 + P_4 \times 1/3 \quad \dots\dots\dots (4)$$

となる。

【0026】そして次のステップS404で同様にし、 $i=6$ 、 $j=3$ 、 $k=1$ となり、ステップS405

$$Q_3 = P_7 \quad \dots\dots\dots (5)$$

となる。以後同様のフローによって縮小処理を行うことができる。

【0027】図5は垂直縮小回路113およびそのバッファメモリ114の詳細図である。図5において、バッファメモリ114は、前述の通りHbワードの容量、すなわち水平Hbピクセル1ライン分のディレイラインである。505はバッファメモリ114のアドレスを生成しメモリアクセスを制御するアドレス発生回路である。バッファメモリ114に蓄積されたデータは、アドレス発生回路505によって生成されたアドレスのデータがリードされて画像データ P_i 、 u となり、その直後同A

$$Hb = A \times (D - 1) + B$$

の関係がある。

【0029】506は線形補間回路203と類似の線形補間回路である。但し、垂直縮小回路113はライン単位で処理を行うので、カウンタの更新はライン単位で行う。507は垂直走査の不連続点の線形補間回路506の状態を位相情報としてストアしたり、ロードしたりする位相記憶回路である。

【0030】図7はアドレス発生回路505の動作フロ

【0022】図3は縮小比率を N/M とすると、 $N/M=3/7$ の時の入力画素 P_i と出力画素 Q_j との対応の縮小例を示している。また図4は、線形補間回路203の動作のフローチャートである。図3、図4を用いて実際の縮小動作について説明する。まず、ステップS401で定数KhおよびIhが設定される。KhおよびIhは初期値が与えられれば以後変化しない定数である。Ihは縮小比率の逆数の整数部分 $\text{int}(M/N)$ （ $3/7$ 時は2）に設定され、Khは縮小比率の逆数の分数部分 $M/N - Ih$ （ $3/7$ 時は $1/3$ ）に設定される。

【0023】次のステップS402で入力画素カウンタi、出力画素カウンタjおよび補間係数kが0に初期化される。次のステップS403で線形補間処理

はIhが加算され、kにはKhが加算される。よって $i=2$ 、 $j=1$ 、 $k=1/3$ となる。次のステップS405で、kは1より小さいのでNのパスに分岐し、再びステップS403で線形補間処理を行う。このとき、

05で再びNに分岐してステップS403で線形補間処理を行う。このとき、

でYに分岐する。そしてステップS406で $k=0$ 、 $i=7$ となり、次のステップS403で線形補間処理を行う。このとき、

ドレスに対して入力データ P_i 、 $u+1$ がライトされる。入力データ P_i 、 $u+1$ は同時に線形補間回路506にも入力される。502は1ラインのピクセル数：Aを設定するレジスタ、503は1ラインのピクセル数：Bを設定するレジスタである。501は繰り返しのライン数を設定するライン数Lレジスタであり、504はアドレスの分割管理する数を設定する分割数Dレジスタである。

【0028】なお、バッファメモリ114の容量HbとA、B、Dには、

$$\dots\dots\dots (6)$$

ーチャートである。次に図7を用いてアドレス発生回路505の動作について述べる。図7において、ライン数レジスタ501に設定された値をL、ピクセル数A設定レジスタ502に設定された値をA、ピクセル数B設定レジスタ503に設定された値をB、分割数Dレジスタに設定された値をDとしている。また、HはAもしくはBの値を取り、h、d、1は変数であり、hはピクセルカウント、Iはラインカウント、dは分割ブロック数カ

ウントを表す。i はアドレス出力である。

【0031】まず、ステップS701で変数の初期化が行われ、また位相記憶回路507から線形補間回路506へ初期位相情報がロードされ、次のステップに進む。ステップS702では、h、dからアドレスを計算し出力する。次のステップS703ではhをインクリメントし、ステップS704の分岐によってA回のループの後、ステップS705に進み、ピクセルカウンタhはリセット、ラインカウンタ1がインクリメントされ、また線形補間回路506に対してHRS Tがアサートされる。次のステップS706で、ラインカウンタ1が設定値Lと等しければ1分割ブロックの終了となる。その場合、次のステップS707でラインカウンタ1はリセットされブロックカウンタdがインクリメントされる。また、ここで位相記憶回路507から線形補間回路506へ位相情報がロードされる。

【0032】次のステップS708で、ブロックカウンタdが設定値D-1と等しかったらH=Bとなり、最後のブロックでは1ラインのピクセル数はBとなる。また、Dと等しかったならば、ブロック数dはリセットされ、ここで位相記憶回路507へ線形補間回路506の位相情報がストアされる。ストアされた位相情報は次回からのロード情報となる。

【0033】図6は垂直縮小動作のフローチャートである。図4との相違点は、uは入力画素カウンタ、vは出力画素カウンタ、iはバッファメモリ114のアドレスで水平方向の画素位置を表しており、アドレス発生回路505によって管理され、前記ステップS702に示されるように $i = h + A \times d$ で与えられる。またステップS604でアドレス発生回路505の出力であるHRS Tによってラインの終了を判定しており、Nの分岐を繰り返すことによって1ライン分の線形補間処理を連続して行っている。ステップS604でYに分岐するのは1ラインの処理を終了したときである。その他は図4と同一の動作をする。

【0034】また、位相記憶回路505のロード、ストアはアドレス発生回路505によって制御され、ロード時は、u、v、kが位相情報として位相記憶回路507からロードされ、ストア時には逆にu、v、kが位相情報として位相記憶回路507からストアされる。

【0035】図8はDMAC112の動作概念図である。DMAC112はDRAM105を2次元の平面とみなした時にDRAM105上の矩形領域に対してデータ転送を行う。図8において、P1、P2、P3、P4、P5、P6はアドレスを、Nはデータ転送する矩形領域のライン数を、Mは1ラインのピクセル数（ワード数）を示している。また、点線で示されている距離Jの値はすべて同じであり、 $P3 - P2$ 等と等しい。従って、矩形の領域のDMAは、左端のポインタから始まるMワードのDMAをN回繰り返すことによって実現する

ことができる。

【0036】図9は2次元DMAの動作フローチャートである。図9において、P1、M、N、Jは図8に対応しており、2次元DMA112の設定レジスタにセットされる。まず、ステップS901でカウンタ値h、lがリセットされる。次のステップS902でh、vからアドレスaが求められ、次のステップS903でアドレスaに対してデータがライトされる。ステップS904では、カウンタhがインクリメントされ、次のステップS905でラインの終了を判定しており、Nの分岐を繰り返すことによって、1ライン分の線形補間処理を連続して行っている。ステップS905でYに分岐するのは1ラインの処理を終了したときである。

【0037】ステップS906に進むとhはリセットされ、lがインクリメントされる。そして次のステップS907でライン数の比較を行い、全ラインが転送されていたならば終了し、そうでなければステップS902に進んで次のラインのDMAを行う。以上のフローによって2次元DMAが実現できる。

【0038】次にシステムの伸張再生動作を具体的に説明する。JPEG圧縮ファイルの元画像サイズの縦横比が4:3、水平2048ピクセル、垂直1536ピクセルで、YUV422の画像データを、752×485に縮小する場合で、バッファメモリ110の水平方向の容量Ha=320、および114の容量Hb=752とする時について考える。

【0039】まず縮小率は、水平方向が、 $752 / 2048 = 47 / 128$

となり、垂直方向が、 $485 / 1536 \sim 7 / 22$ となる。

【0040】従って、水平縮小回路111のIh、Khは、

$$Ih = \text{int} (128 / 47) = 2$$

$$Kh = 128 / 47 - 2 = 34 / 47$$

となり、垂直縮小回路113のIv、Kvは、 $Iv = \text{int} (22 / 7) = 3$
 $Kv = 22 / 7 - 3 = 1 / 7$ となる。

【0041】また、図1のブロックラスタ変換回路109の水平方向の処理単位Ha'を256に設定する。これは、水平縮小率47/128の分母128とJPEGデータのMCU (Minimum Coded Unit)の水平方向のピクセル数16 (YUV422の場合)の最小公倍数で、かつHaの最大値である。また、図5のライン数レジスタ501を8 (YUV422の場合)に設定する。これはJPEGデータのMCUの垂直方向のピクセル数である。ピクセル数レジスタ502および503を94に設定する。これは水平縮小率47/128にHa'を乗算したものであり、水平縮小後に2

56ピクセルが94ピクセルになることを意味する。

【0042】また、分割数レジスタ504を8に設定する。これは元画像の水平サイズ2048を $H a'$ で除算し切り上げた値である。また、位相記憶回路507の初期位相情報、 u 、 v 、 k はすべて0にリセットされる。また、2次元DMAC112の設定レジスタMはピクセル数レジスタ502等と同じ94に、Nは3に設定される。但し、Nは処理の進行に合わせて2もしくは3に再設定される。それは、垂直縮小率 $7/22$ に垂直処理単位8を乗算すると2.5程度になり、これは8ライン入力されたときに2ラインもしくは3ライン出力されることを意味するからである。また、スタートポイントP1は図10のPbに、オフセットJは適宜設定される。

【0043】以上の初期設定での動作を図10を用いて説明する。まず、CPU101はDRAM105上にJPEGデータ用のメモリ領域と再縮小データ用の領域を確保する。そして記録媒体103に蓄積されているJPEGファイルを読み出し、DRAM105上のポイントPaから順に書き込むことによってJPEGデータ領域に転送する。そしてDMAC107はPaから順次データをJPEGデータを読み出し伸張回路108へ出力する。

【0044】伸張回路108は順次伸張を行い、伸張データをブロックラスタ変換回路109へブロックスキャンで出力する。ブロックラスタ変換回路109は $H a' \times 8$ ワード単位でブロックラスタ変換を行うので、 $H a' = 256$ であるから16MCU分伸張データが入力されたなら、順次ラスタスキャンに変換して出力していく。16MCU分の伸張ラスタスキャンデータは、 256×8 ワード、すなわち1ライン256ピクセルの8ラインのデータとなる。

【0045】ラスタスキャンに変換された画像データは水平縮小回路111に順次入力され、水平縮小処理される。ここで1ラインは $256 \times 47 / 128 = 94$ ピクセルに縮小され、94ピクセル \times 8ラインに変換されて垂直縮小回路113に入力される。垂直縮小回路113では前述の図6、7のフローチャートに従って処理を行う。ここで、AおよびBは94、Lは8、Dは8に設定されているので、アドレス発生は 94×8 の矩形画像データに対して0から93の繰り返しを8回行って垂直縮小処理し、 94×3 の矩形画像データをラスタスキャンで順次出力する。2次元DMAC112は、 94×3 の矩形画像データをPbを左上の角とする 94×3 の矩形領域に転送する。これで1分割矩形領域の処理が終了する。

【0046】そして次の矩形領域の処理を行うため2次元DMAC112のスタートポイントP1を図10のPcに再設定する。M、N、Jは変更の必要はない。また、PcはPb+Mによって2次元DMAC112自身

で再設定することもできる。2回目の矩形処理では、1回目と同様にブロックラスタ変換回路109から256ピクセル \times 8ラインの矩形画像データが出力され、水平縮小回路111から94ピクセル \times 8ラインの矩形画像データが出力される。

【0047】垂直縮小回路113では、94から187のアドレス発生を8回繰り返して 94×3 の矩形画像データを出力し、2次元DMAC112によってPcを左上の角とする 94×3 の矩形領域に転送されて2回目の処理が終了する。以後同様にして8回目の処理まで終了すると、元画像での2048ピクセル \times 8ライン、縮小画像にして752 \times 2ラインの処理が終了する。

【0048】このとき、位相記憶回路507の位相情報、 u 、 v 、 k は、 $u=9$ 、 $v=3$ 、 $k=3/7$ が位相記憶回路507にストアされ、次の処理ではこの位相情報が最初にロードされて垂直縮小処理を行う。またこのとき、バッファメモリ114には元画像の8ライン目が水平752ピクセルに縮小されて蓄積されており、次の垂直縮小処理に使用される。

【0049】次に2次元DMAC112のスタートポイントP1を図10のPdに、Nを2に再設定する。PdはPb+(J+M) \times Nによって2次元DMAC112自身で再設定することもできる。そして9回目の処理では、1回目と同様にブロックラスタ変換回路109から256ピクセル \times 8ラインの矩形画像データが出力され、水平縮小回路111から94ピクセル \times 8ラインの矩形画像データが出力される。垂直縮小回路113では、0から93のアドレス発生を8回繰り返して 94×2 の矩形画像データを出力し、2次元DMAC112によってPdを左上の角とする 94×2 の矩形領域に転送されて9回目の処理が終了する。

【0050】以後同様の処理を繰り返すことによって、元画像を水平8分割、垂直192分割して処理することができ、全再生縮小画像データ752ピクセル \times 489ラインを得る。489-485の4ラインは誤差であるので、上下2ラインを削除するもしくは下4ライン分の処理を行わない等して調整すればよい。

【0051】全再生縮小画像データが準備できたら、DMAC115のスタートポイントを図10のPbに、水平ピクセル数を752に、垂直ライン数を243に、オフセットをDMAC112に設定したJ \times 2+752に設定し、再生回路116へ1フィールド分の画像データを転送する。再生回路116は画像データに対して変調、同期信号の付加、DAコンバート等をしてビデオ信号を生成する。

【0052】また、次のTVフィールドでは、スタートポイントをPbの直下のポイントに、垂直ライン数を242に再設定し、再生回路116へ1フィールド分の画像データを転送する。以後2フィールドのDMA転送を繰り返す。以上の動作によって2048ピクセル \times 15

36ラインのJPEG伸張データに対して4:3縦横比のままフル画面のビデオ信号を生成し再生することができる。

【0053】また、ブロックラスタ変換器109の水平方向の処理単位 H_a' を H_a として処理することもできる。すなわち、水平方向の縮小率 $47/128$ を $118/320$ と近似する。そして $H_a' = 320$ 、ライン数レジスタ501を8(YUV422の場合)ピクセル数Aレジスタ502を118に、ピクセル数Bレジスタ503を47に設定する。但し、画像の右端の分割矩形領域を処理するときには、 $H_a' = 128$ に再設定される。

【0054】また、分割レジスタ504を7に設定し、位相記憶回路507の初期位相情報、 u 、 v 、 k はすべて0にリセットされる。また、2次元DMAC112の設定レジスタMはピクセル数レジスタ502等と同じ118に、Nは3に設定される。但し、Mは画像の右端の分割矩形領域を処理するときには47に、Nは処理の進行によって適宜2もしくは3に再設定される。また、スタートポイントP1は図10のPbに、オフセットJは適宜設定される。

【0055】以上の設定で前述の分割処理と同様の処理を行うことによって、元画像を水平7分割、垂直192分割して処理することができ、全再生縮小画像データ756ピクセル \times 489ラインを得る。但し、バッファメモリ114の容量Hbは756以上必要となる。また、水平方向の誤差4ピクセルと垂直方向の誤差4ラインは縮小処理後に調整すればよい。

【0056】また、水平縮小回路111をわずかに変更することで水平拡大縮小回路を実現することができる。図11は水平方向に4/3倍拡大する処理の概念図である。図11においてブロックラスタ変換が矩形領域Aと矩形領域Bに分割されて行われる時、矩形領域A'と矩形領域B'はその拡大処理後の分割を表している。矩形領域B'の三角で示された画素は、矩形領域Aおよび矩形領域Bの両方を参照しなければ補間することができない。従って、矩形領域Aの白丸で示される画素の値とその時の補間比率 K_h を矩形領域Bを処理するときまで記憶しておく必要がある。

【0057】図12は水平拡大縮小回路の詳細図である。図12において、1203は線形補間回路であり、その動作は図4のフローチャートと同一である。但し、拡大の場合は I_h は必ず0になる。1201および1202はFFである。1206は1:8のセクタ、1208は8:1のセクタ、1207はラッチであり、これらによりデータ記憶回路1209を構成する。1204は通常のデータフローとデータ記憶回路1209からのデータロードとを切り替えるセクタ、1205は線形補間回路1203の補間比率 K_h のロード、ストアを行う位相記憶回路である。

【0058】図11の白丸のデータをセクタ1206をコントロールすることにより、ラッチ1207に順次蓄積し、また最下位ラインの白丸のときの K_h を位相記憶回路1205にストアし、矩形領域Bのそれぞれのラインの先頭で K_h を線形補間回路1203に対してロードし、セクタ1204でデータ記憶回路1209側を選択し、セクタ1208を適宜選択することによって白丸のデータをロードし水平拡大処理を行うことができる。

【0059】また、バッファメモリ114の容量を倍にすることで、垂直拡大縮小回路を実現することができる。図14は垂直拡大縮小回路の詳細図である。図14において、1408および1409はHbワードのラインメモリであり、その他は、図5の回路と同一構成である。また、アドレス発生回路1405の動作は図7のフローチャートと、線形補間回路1406の動作は図6のフローチャートと同じである。但し、拡大の場合は I_v は必ず0になり、ライン数レジスタ1401のLは入力のライン数ではなく出力のライン数に設定される。また、入力是一片方のラインメモリにライトされるだけで、線形補間回路1406にはラインメモリのリードデータだけが入力される。また、ラインメモリ1408と1409はHIRSTによってスワップされる。その他の動作は垂直縮小回路113と同様である。

【0060】図13は垂直方向に5/2倍拡大する処理の概念図である。例えば出力の第2ラインおよび第3ラインはどちらも入力の第1ラインおよび第2ラインから補間される。従って、垂直の拡大処理を行いラスタ出力するためには、入力のラインバッファを2ライン分設ける必要がある。アドレス発生回路1405は、そのような時に第3入力ラインのバッファメモリ1408への書き込みディセーブルし、2つのラインメモリからのリードのみ行う。従って、図13の場合、アドレスのスキップを6回繰り返すことにより、垂直拡大処理を実現することができる。

【0061】また、拡大縮小回路の前段にLPF(Low Pass Filter)を挿入することによって、エイリアスの少ない、良好な縮小、拡大画像を得ることができる。図15は水平LPF回路の例である。図15において1503および1504はFF、1501および1502はスイッチ、1505、1506はLPFの特性を決定する α 、 β のレジスタ、1507、1508は乗算器、1509、1510は加算器である。 α 、 β の設定によってフィルタ係数[121]、[111]、[101]等のフィルタを実現することが可能である。

【0062】レジスタ1505および1506、乗算器1507および1508はシフト加算等の組み合わせで構成することもできる。例えば、 $\alpha = 0.5$ 、 $\beta = 0.25$ とすると、出力は

$0.25 \times P_{i-1} + 0.5 \times P_i + 0.25 \times P_{i+1}$ となり、フィルタ係数 $[1/4, 1/2, 1/4]$ のフィルタとなる。

【0063】1511および1512はデータ記憶回路である。データ記憶回路1512は、データ記憶回路1209と同様に分割矩形領域の境界において右端の8つのデータを、データ記憶回路1511は右端の1つ手前の8つのデータを蓄積し、右隣の矩形領域の処理を行う時に各ラインの最初にスイッチ1501および1502によってロードする。以上の動作によって分割矩形領域の境界においても出力が不連続にならずに帯域制限することができる。

【0064】図16は垂直LPF回路の例である。1604はアドレス発生回路、1601はライン数レジスタ、1602、1603はピクセル数レジスタであり、図5のそれぞれの回路と同一のものである。1605、1606はLPFの特性を決定する α 、 β のレジスタであり、1607、1608は乗算器、1609、161

$$0.25 \times P_{i, u-1} + 0.5 \times P_{i, u} + 0.25 \times P_{i, u+1}$$

となり、フィルタ係数 $[1/4, 1/2, 1/4]$ のフィルタとなる。

【0067】また、アドレス発生回路1604においてステート705に相当するHRSTが発生したならば、バッファメモリ1611と1612をスワップしてデータチャネルを切り替える。また、スワップすることにより、次のラインにおいても同様のデータフローで同一係数のフィルタ処理を行うことができる。なお、本実施の形態においては、補間方法は線形補間を用いて説明したが、キュービック補間法を用いてもよい。

【0068】次に第2の実施の形態を説明する。図17は本発明の第2の実施の形態を示す。図17において、1701はシステム全体をコントロールするCPU (Central Processor Unit)、1702はCPUのためのインタフェース回路、1703はメモ리카ード等の記録媒体、1704は記録媒体1703のためのインタフェース回路、1705は、画像データを記憶するためのDRAM、1706はシステムのシークンシャルな制御やバスアービトレーション等のコントロールを司るシステムコントローラである。

【0069】1708はJPEGデータをブロック単位で伸張する公知の伸張回路、1707はDRAM1705上のデータを伸張回路1708へ転送するためのダイレクトメモリアクセスコントローラ (以下DMAC)、1709は伸張回路1708によって伸張されたブロックスキンの画像データをラスタスキンの画像データに変換するためのブロックラスタ変換回路、1710はブロックラスタ変換用のバッファメモリで、 $H \times 8$ ワードの容量を持つ。従って、ブロックラスタ変換回路1709は、水平ピクセル11aまでのブロックスキンのデータを一度にラスタデータに変換することができる。

0は加算器である。 α 、 β の設定によってフィルタ係数 $[121]$ 、 $[111]$ 、 $[101]$ 等のフィルタを実現することが可能である。レジスタ1605および1606、乗算器1607および1608はシフト加算等の組み合わせで構成することもできる。

【0065】1611、1612はバッファメモリ1.14に相当するバッファメモリであり、先に述べたように合わせて $H \times 2$ ワードの容量、すなわち水平 H ピクセル2ライン分のディレイラインとなる。バッファメモリ1611に蓄積されたデータは、アドレス発生回路1604によって生成されたアドレスのデータがリードされ画像データ P_i 、 $u-1$ となり、その直後同アドレスに対して入力データ P_i 、 $u-1$ がライトされる。

【0066】また、バッファメモリ1612に蓄積されたデータは、アドレス発生回路1604によって生成されたアドレスのデータがリードされ画像データ P_i 、 $u-1$ となる。例えば、 $\alpha=0.5$ 、 $\beta=0.25$ とすると、出力は

【0070】1711は垂直方向に任意の整数比で間引きすることのできる垂直間引き回路、1712は水平方向に線形補間等によって任意の変倍率で変倍することのできる水平変倍回路であり、動作は図4のフローチャートと同一である。1713はDRAM1705に2次元的にDMA転送するためのDMAであり、図1のDMAC112と同様の動作をする。1715は線形補間等によって水平方向に変倍する水平変倍回路113であり、動作は図4のフローチャートと同一である。

【0071】1717は線形補間等によって垂直方向に変倍する垂直変倍回路であり、図1の垂直縮小回路113と類似している。但し、分割処理には対応しなくてもよいので、図5のピクセル数レジスタ503、分割数レジスタ504、および位相記憶回路507は必要ない。1716は垂直変倍回路1717のためのバッファメモリであり、 H ワードの容量、すなわち水平 H ピクセル1ライン分のディレイラインとなる。1718は垂直変倍回路1717の出力をDRAM1705に転送するためのDMACである。1719はKRAM1705の上の画像データを再生回路1720に転送するためのDMACである。1720は画像データに対して変調、同期信号の付加、DA変換等をしてビデオ信号を生成する再生回路である。また1700はCPU1701のプログラムを記憶するROMであり、図1のROM100と同様に構成される。

【0072】図18は、第2の実施の形態の動作概念図である。次に図18と共に伸張再生動作について説明する。JPEG圧縮ファイルの元画像サイズの縦横比が4:3、水平2048ピクセル、垂直1536ピクセルで、YUV422の画像データを、724×485に縮小する場合で、バッファメモリ1710の水平方向の容

量 $H_a = 320$ 、および1714の容量 $H_b = 752$ とする時について考える。また、ブロックラスタ変換回路109の水平方向の処理単位 H_a' を320に、垂直間引き回路1711の間引き率を1/3に、水平変倍回路1712の変倍率を3/8に、水平変倍回路1715の変倍率を47/48に、垂直変倍回路1717の変倍率を97/102に設定する。

【0073】まず、CPU1701はDRAM1705上にJPEGデータ用のメモリ領域と再生縮小データの領域確保する。また、テンポラリデータ領域は処理の進行に合わせて適宜確保および開放を行う。そして記録媒体1703に蓄積されているJPEGファイルを読み出し、DRAM1705上のポインタPaから順に書き込むことによってJPEGデータ領域に転送する。そしてDMAC1707はPaから順次データをJPEGデータを読み出し伸縮回路1708へ出力する。伸縮回路1708は順次伸縮を行い、伸縮データをブロックラスタ変換回路1709へブロックスキャンで出力する。

【0074】ブロックラスタ変換回路1709は320×8ワード単位でブロックラスタ変換を行い、垂直間引き回路1711に320ピクセル×8ラインの矩形領域のラスタスキャン画像データを出力する。垂直間引き回路1711は、仮想的な全伸張画像における垂直方向の位相を考慮して、垂直8ラインに対して1/3の間引きになるように2もしくは3ラインに適宜間引いて水平変倍回路1712へ出力する。水平変倍回路1712は、水平320ピクセルを3/8に縮小し、120ピクセル×2（もしくは3）ラインの縮小画像データをDMAC1713へ出力する。

【0075】DMAC1713は、120ピクセル×2（もしくは3）ラインの縮小画像データをテンポラリデータ領域に対して2次元DMAを転送する。テンポラリデータ領域は、768ピクセル×3ライン×2個のダブルバッファで確保されており、768×3ラインの1つのバッファに対する全転送が終了したならば、そのバッファ領域のデータは、DMAC1714によって2次元的に読み出され、水平変倍回路1715に転送される。水平変倍回路1715は、1ライン768ピクセルを47/48に縮小し、752ピクセルとして垂直変倍回路1717へ出力する。垂直変倍回路1717は垂直方向に97/102に縮小してDMAC1718へ出力する。DMAC1718はポインタPdから順次縮小画像データをDMA転送する。これは2次元DMAである必要はない。

【0076】全伸張および縮小処理が終了すると、752×487の再生縮小データが得られる。垂直方向の誤差2ラインは上下1ラインを削除する。もしくは下2ライン分の処理を行わない等して調整する。DMAC1719はポインタPdからTVフィールド毎に順次画像データを2次元DMA転送し再生回路1720へ出力す

る。再生回路116は画像データに対して変調、周期の信号の付加、DAコンバート等をしてビデオ信号を生成する。以上の動作によって2048ピクセル×1536ラインのJPEG伸張データに対して4:3縦横比のままフル画面のビデオ信号を生成し再生することができる。

【0077】なお、テンポラリデータ領域を768ピクセル×8ライン×2個とすれば、垂直間引き回路1711は省略することができる。その場合垂直変倍回路1717の変倍率は7/22に設定する。また、上述の動作は縮小について説明したが、DMAC1714によって1ラインの転送を何回か繰り返す制御を行うことにより、1ライン分のバッファメモリ1716だけで垂直拡大処理を行うことが可能である。

【0078】また、水平の拡大は、水辺変倍回路1712では行わず、水平変倍回路1715で行うことによってパフォーマンスが良くなる。このとき分割処理は行わないので、水平変倍回路1715に位相記憶回路、データ記憶回路等は必要ない。また、本実施の形態においては、変倍回路の前段のLPF回路は省略したが、LPF回路を挿入することにより、エイリアスの少ないより良好な画像を得ることができる。また補間方法は線形補間を用いて説明したが、キュービック補間法を用いてもよい。

【0079】次に、第3の実施の形態を説明する。図19は本発明の第2の実施の形態を示す。この図19は第2の実施の形態の図17とほぼ同様の構成となっており、1921から1924までの4つのスイッチが追加されたところだけが異なっている。

【0080】垂直間引き回路1911と水平変倍回路1912を第1の変倍回路、水平変倍回路1915と垂直変倍回路1917を第2の変倍回路とすると、スイッチ1921は第2の変倍回路の入力を選択するスイッチであり、DMAC1914の出力とブロックラスタ変換回路1909の出力とを切り替えることができる。また、スイッチ1922～1924により水平変倍回路1915と垂直変倍回路1917の順番を切り替えることができる。すなわち、スイッチ1922～1924をすべて1に接続すると、水平変倍回路1915→垂直変倍回路1917の順番に、すべて2に接続すると、垂直変倍回路1917→水平変倍回路1915の順番で処理が行われる。

【0081】次に、本実施の形態の動作について、JPEG圧縮ファイルの元画像サイズの縦横比が4:3、水平320ピクセル、垂直240ピクセルで、YUV422の画像データを、752×485に拡大する場合で、バッファメモリ1910の水平方向の容量 $H_a = 320$ 、および1914の容量 $H_b = 640$ とする時を説明する。この場合、 H_a が元画像の水平画像サイズと等しいので、水平分離処理を行う必要はない。従って、スイ

ッチ1921を1に、スイッチ1922から1924をすべて2に接続し、ブロックラスタ変換回路1909→垂直変倍回路1917→水平変倍回路1915→DMAC1918→DMAC1905のデータフローで処理を行う。

【0082】まず、垂直変倍回路1917はバッファメモリ1916を図14のように320ピクセル×2個のラインメモリとしてコンフィグレーションする。但し、分割処理は行わないので、図14のようなピクセル数Bレジスタ1403、分割数レジスタ1404、位相記憶回路1407等は必要ない。そして、垂直変倍回路1917の変倍率を $97/48$ に、水平変倍回路1915の変倍率を $47/20$ に設定し、伸張変倍処理を行うことにより、水平は $320 \times 47/20 = 752$ 、垂直は $240 \times 97/48 = 485$ に拡大され、図18のテンポラリデータ領域を使用することなく、 752×485 の再生拡大データを得ることができる。

【0083】なお、本実施の形態においては、垂直変倍回路1917に2ラインのラインメモリを持たせることによって拡大処理を実現したが、ブロックラスタ変換回路1909からの1ラインの出力を複数回繰り返すように制御することによっても垂直拡大処理を実現することができる。また変倍回路の前段のLPF回路は省略したが、LPF回路を挿入することにより、エイリアスの少ないより良好な画像を得ることができる。さらに補間方法は線形補間を用いて説明したが、キュービック補間法を用いてもよい。

【0084】

【発明の効果】以上説明したように、本発明によればブロックラスタ変換した画像データを変倍することにより、少量のメモリ容量で変換、変倍を行って表示等に適した画像データを得ることができる。また、任意の画像サイズのJPEG圧縮データを少量のメモリで高速に、伸張変換、変倍することができる、またDRAM等の蓄積手段へのアクセスが減少するので低消費電力化をはかることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示すブロック図である。

【図2】水平縮小回路のブロック図である。

【図3】縮小処理の概念を示す構成図である。

【図4】水平縮小処理の動作フローチャートである。

【図5】垂直縮小回路のブロック図である。

【図6】垂直縮小処理の動作フローチャートである。

【図7】アドレス発生回路の動作フローチャートである。

【図8】2次元DAMデータ転送の概念を示す構成図である。

【図9】2次元DMACの動作フローチャートである。

【図10】システムの動作例の構成図である。

【図11】分割処理における水平拡大の概念を示す構成図である。

【図12】水平拡大縮小回路のブロック図である。

【図13】分割処理における垂直拡大の概念を示す構成図である。

【図14】垂直拡大縮小回路のブロック図である。

【図15】水平LPF回路のブロック図である。

【図16】垂直LPF回路のブロック図である。

【図17】第2の実施の形態を示すブロック図である。

【図18】第2の実施の形態の動作の概念を示す構成図である。

【図19】第3の実施の形態を示すブロック図である。

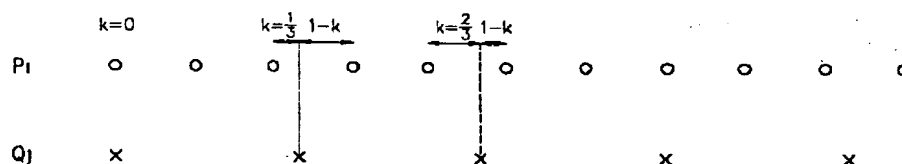
【図20】従来の画像処理装置のブロック図である。

【図21】従来の動作を概念的に示す構成図である。

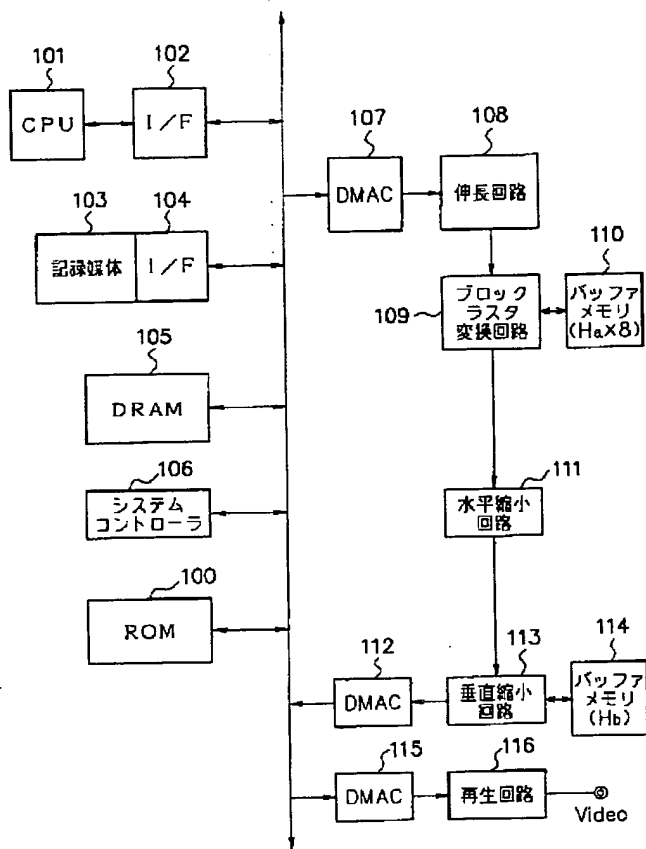
【符号の説明】

100、1700、1900 ROM
101、1701、1901 CPU
105、1705、1905 DRAM
106 システムコントローラ
108、1708、1908 伸縮回路
109、1709、1909 ブロックラスタ変換回路
110、1710、1910 ブロックラスタ変換回路用バッファメモリ
111 水平縮小回路
113 垂直縮小回路
114 垂直縮小回路用バッファメモリ
1711、1911 垂直間引き回路
1712、1715、1912、1915 水平変倍回路
1717、1917 垂直変倍回路
1716、1916 垂直変倍用バッファメモリ

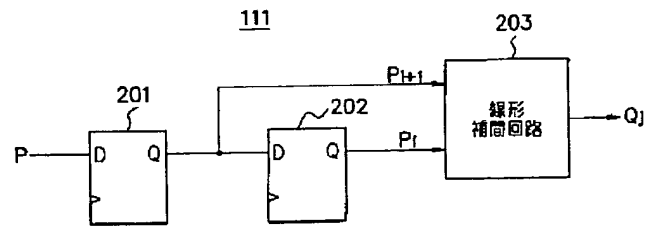
【図3】



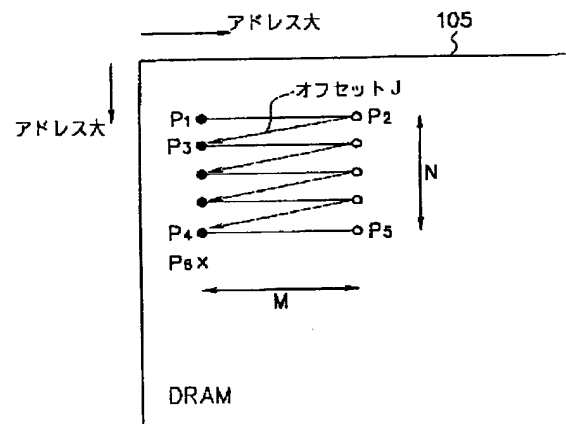
【図1】



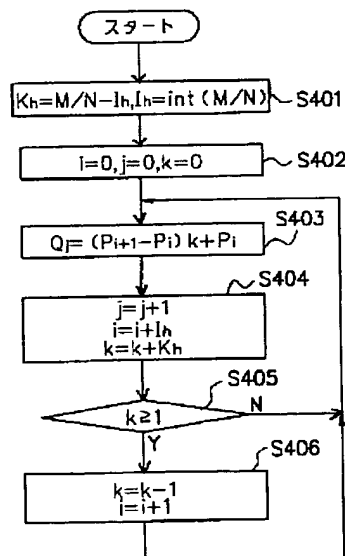
【図2】



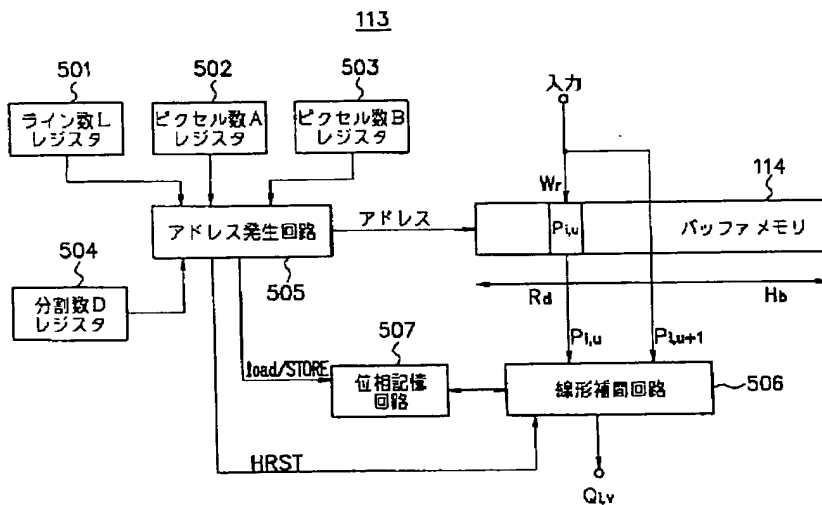
【図8】



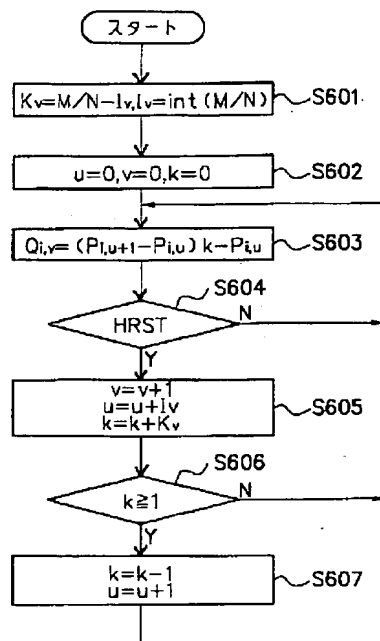
【図4】



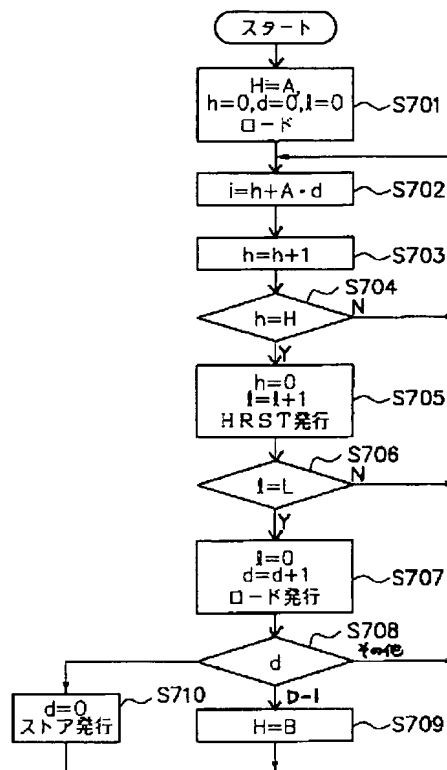
【図5】



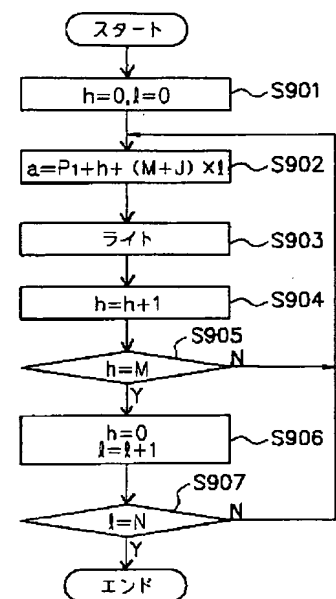
【図6】



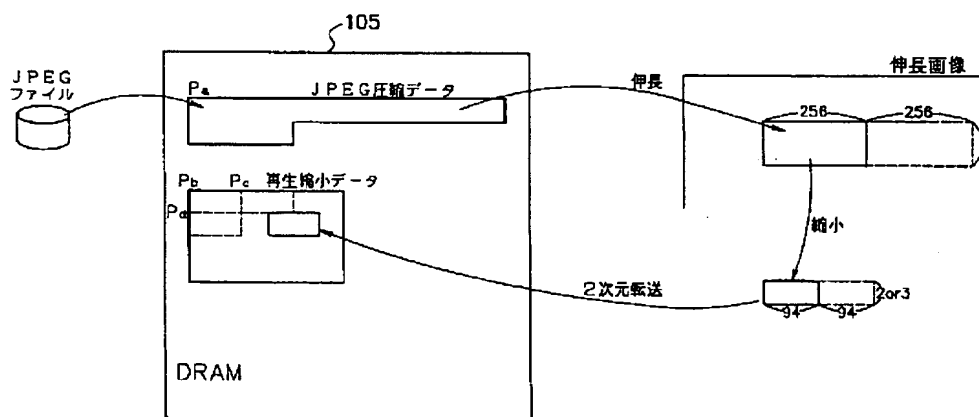
【図7】



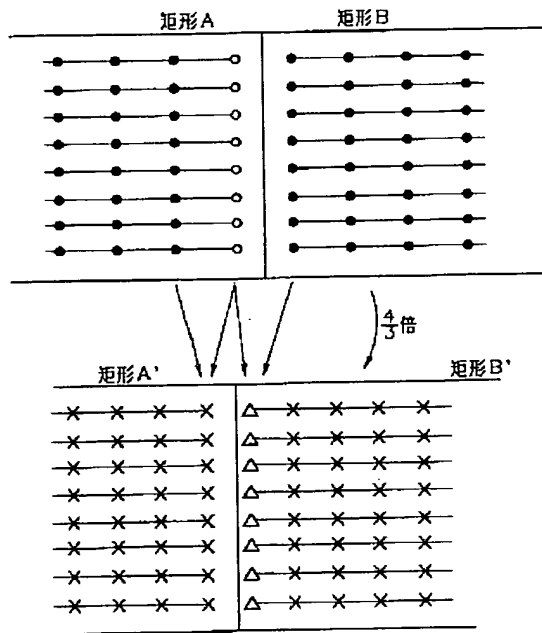
【図9】



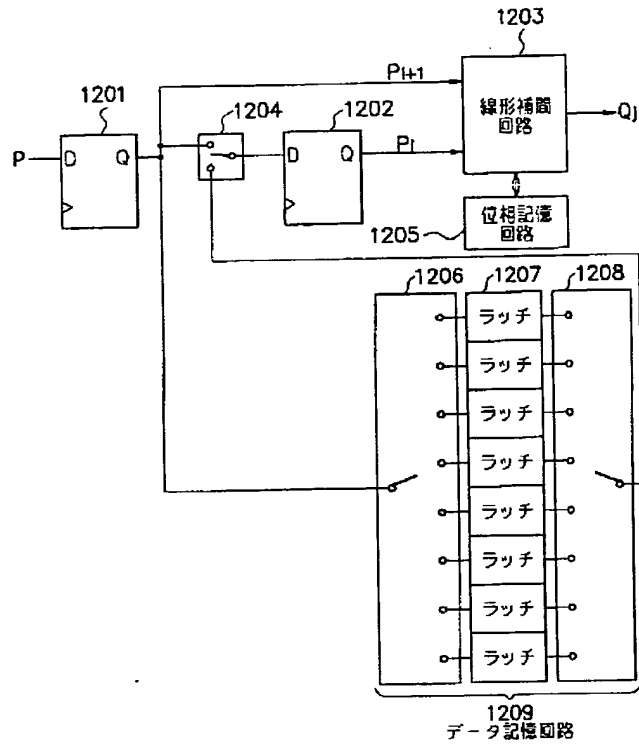
【図10】



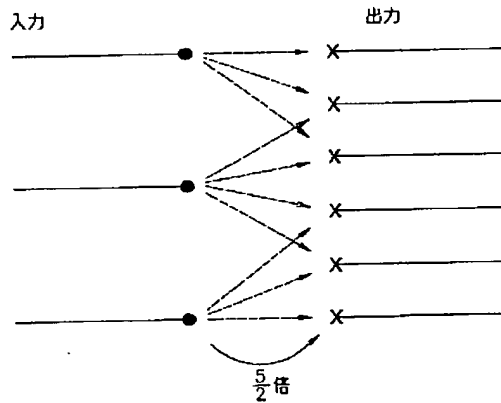
【図11】



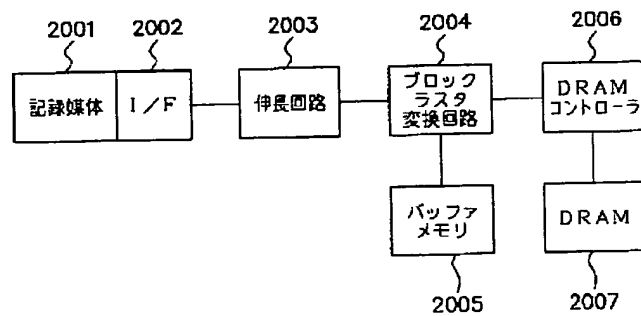
【図12】



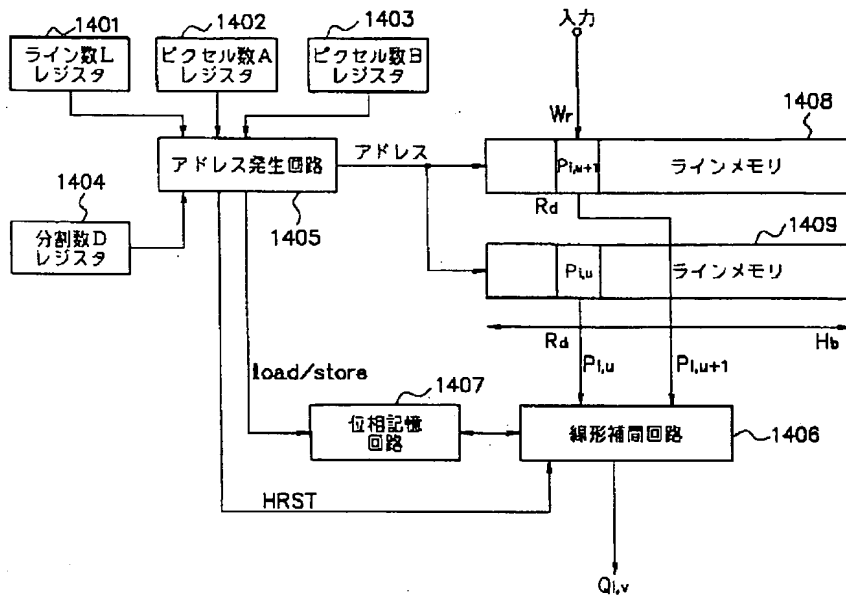
【図13】



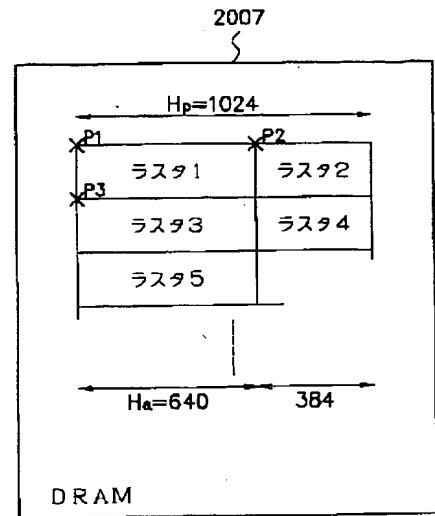
【図20】



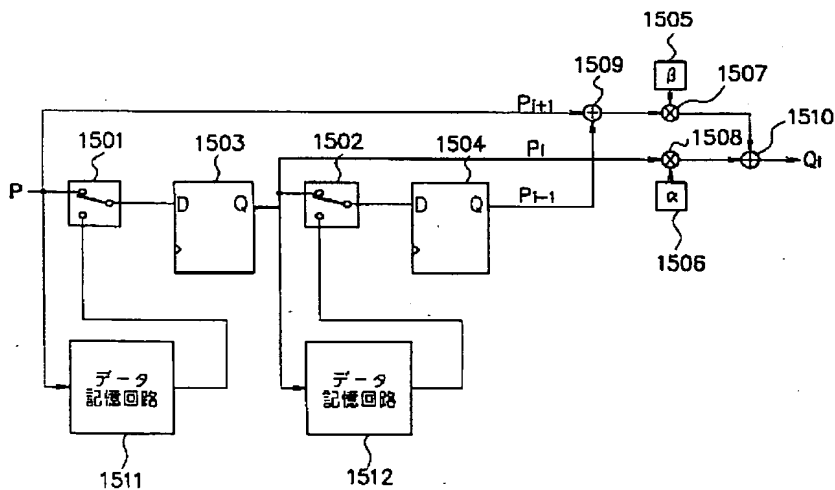
【図 14】



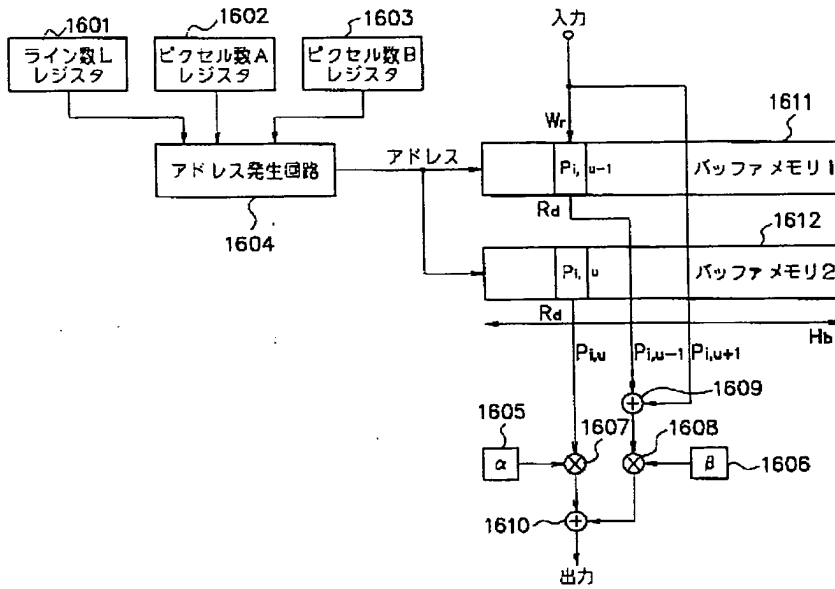
【図 2 1】



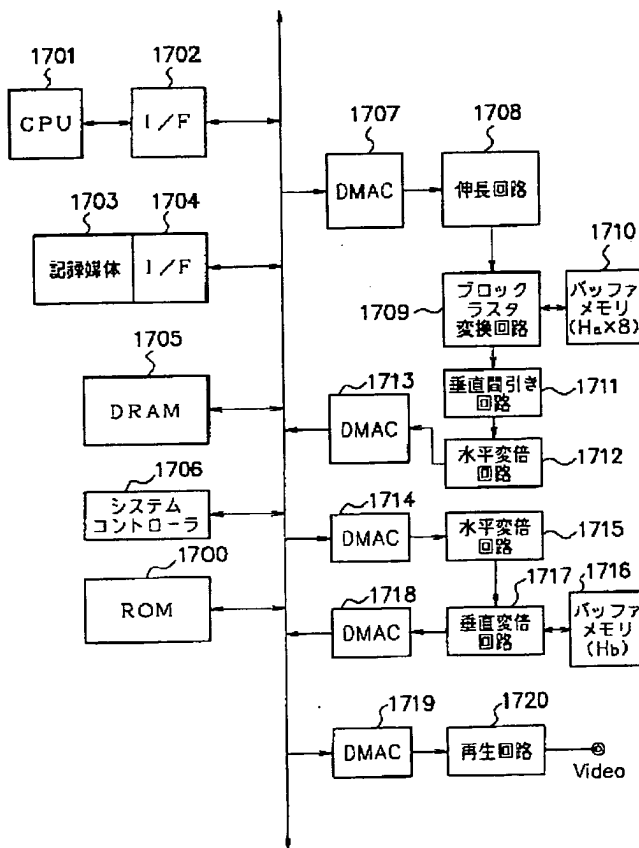
【図 15】



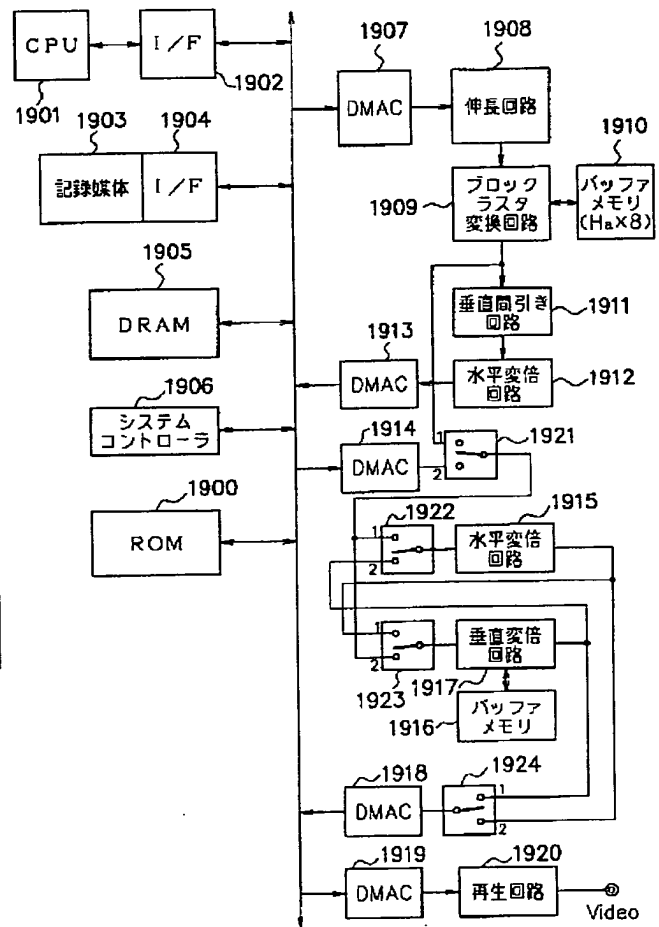
【図16】



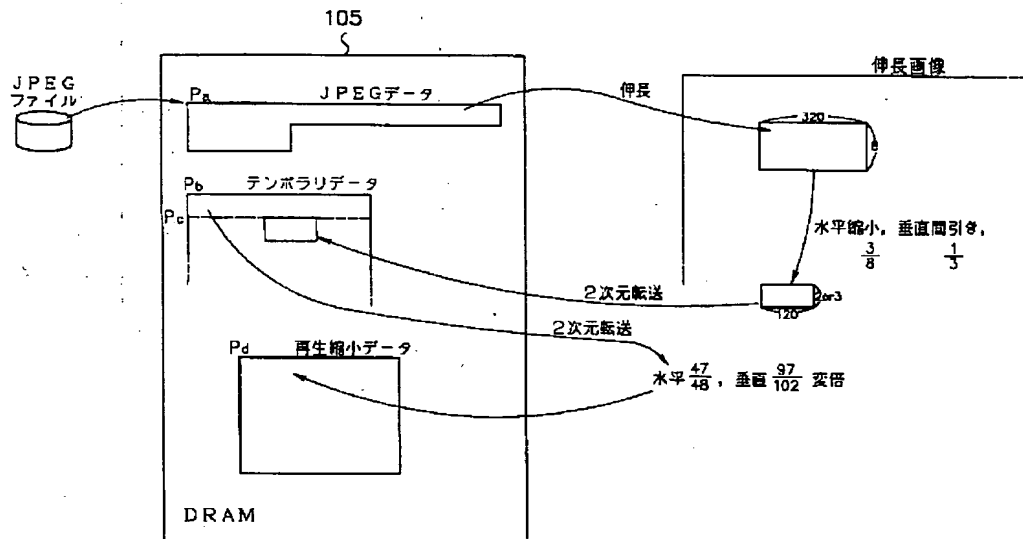
【図17】



【図19】



【図18】



THIS PAGE BLANK (USPTO)